

## SCEPTRE : Optimisation partitionnement, modélisation et compilation des SoC multiprocesseurs

### Contexte

---

Les technologies numériques ont donné une nouvelle dynamique au marché grand public en favorisant l'émergence d'une multiplicité d'applications innovantes, combinant des capacités de communication et de traitement multimédia sur une même puce.

Il en résulte un accroissement continu du nombre de transistors sur une même puce (plusieurs dizaines de millions aujourd'hui) et de la taille des logiciels enfouis (des centaines de milliers de lignes). Un des principaux défis auxquels sont confrontés les concepteurs de systèmes sur puce (SoC) est la recherche du meilleur compromis possible entre l'implantation matérielle et logicielle des différentes fonctions du circuit, afin d'optimiser le rapport coût/performance/flexibilité des produits tout en prenant en charge les contraintes temps réel.

### Partenaires

---

#### Grandes entreprises

STMicroelectronics

#### PME

CapsEntreprise

#### Laboratoires de recherche

ENSL - INRIA Rhône-Alpes - INRIA Rennes

INP G - TIMA - UJF - Verimag

### Chiffres clés

---

Budget : 9,3 M€

Durée : 3 ans

Effort total : 65 hommes x an

### Innovation

---

Pour surmonter les problèmes classiques des solutions centrées sur le logiciel - performances moindres en vitesse d'exécution - et des solutions centrées sur le matériel - manque de flexibilité - tout en améliorant les temps de développement des systèmes hybrides, l'idée directrice du projet est de combiner d'une façon nouvelle deux domaines bien connus :

- les systèmes multiprocesseurs
- les processeurs reconfigurables

tout en tenant compte des contraintes de coût, de consommation, de performances et de délai de mise sur le marché.

Le projet a plus précisément pour objectif le développement d'un ensemble d'outils (debug système, distribution logiciel sur processeurs, détection d'extensions matérielles, ...) et d'une plate-forme associée qui permettra de faciliter l'implémentation d'algorithmes multimédia et la génération de codes optimisés sur un réseau multiprocesseur de processeurs reconfigurables.

